

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication number:

1020020052609 A

(43) Date of publication of application:

04.07.2002

(21) Application number: 1020000082005  
(22) Date of filing: 26.12.2000

(71) Applicant: SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor: LEE, JUN HUI  
LEE, WON HONG  
SHIN, YU CHEOL  
SUL, JONG SEON

(51) Int. Cl H01L 21/027

## (54) METHOD FOR FORMING PATTERN OF SEMICONDUCTOR DEVICE HAVING REPEAT PATTERN

## (57) Abstract:

PURPOSE: A formation method of a pattern of semiconductor devices having repeat pattern is provided to prevent the fall-down of a dummy pattern by forming a bridge between dummy patterns for connecting each other.

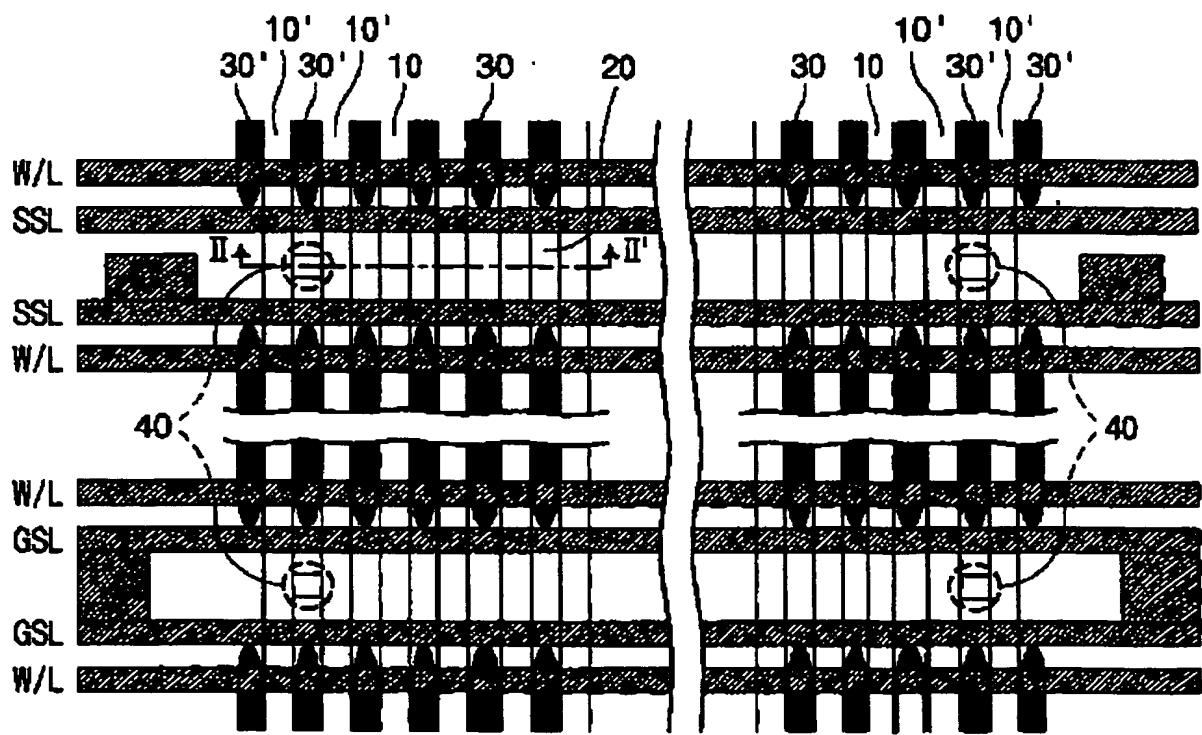
CONSTITUTION: By forming an active region(10) having a repeated line/space structure, a memory cell formation region and an insulating layer(20) are decided. Then, a word line(W/L), an SSL(String Selection Line), and a GSL(Ground Selection Line) are formed at right angles to the active region(10). At this time, one floating gate(30) is formed on each one cell of the word line. The patterns(10', 30') are respectively needed to easily form the active region pattern and the floating gate pattern. Bridges(40) are inserted between dummy patterns so as to prevent the fall-down of the dummy patterns because the bridges(40) are used as a supporting part.

&amp;copy; KIPO 2003

## Legal Status

Final disposal of an application (application)

BEST AVAILABLE COPY



특 2002-0052609

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl.<sup>7</sup>  
H01L 21/027(11) 공개번호 특 2002-0052609  
(43) 공개일자 2002년 07월 04일

(21) 출원번호	10-2000-0082005
(22) 출원일자	2000년 12월 26일
(71) 출원인	삼성전자 주식회사      윤종용 경기 수원시 팔달구 매탄3동 416
(72) 발명자	설증선 서울특별시금천구독산4동 1021-49호 13/4 미원홍 경기도수원시팔달구영통동963-2번지 쌍용아파트543동 1302호 이준희 경기도수원시팔달구영통동1019-15503호 신유철 경기도수원시팔달구영통동황골마을주공APT138동 1102호
(74) 대리인	임창현, 권혁수

## 설사경구 : 없음

## (54) 반복패턴을 갖는 반도체 소자의 패턴 형성방법

## 요약

포토레지스트 패턴의 폭을 증가시키지 않을 뿐만 아니라, 현 제조공정에 사용되고 있는 포토레지스트를 이용하여 패턴의 쓰러짐을 방지할 수 있는 반복패턴의 형성방법이 개시되어 있다. 이 패턴 형성방법은, 라인(line)/스페이스(space)와 같이 동일하고 반복적인 패턴과, 이 패턴의 최 외곽에 적어도 하나 이상 형성된 더미 패턴을 갖는 반도체 소자의 패턴 형성방법에 있어서, 더미 패턴과 근접한 위치에, 더미 패턴의 쓰러짐을 방지하기 위한 브리지 패턴을 형성한다.

## 도표도

## 도 1

## 설명

## 도면의 간단한 설명

도 1은 본 발명에 의한 더미패턴의 쓰러짐을 방지하기 위한 패턴 형성방법을 설명하기 위한 레이아웃도이다.

도 2는 도 1의 II-II' 방향의 단면도이다.

## 발명의 상세한 설명

## 발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 라인(line)/스페이스(space)와 같은 동일하고 반복적인 패턴을 갖는 반도체 소자의 패턴 형성방법에 관한 것이다.

낸드(NAND)형 플래시 메모리는 라인(line)/스페이스(space) 형태로 배치된 활성영역에 의해 메모리 셀이 형성될 영역과 소자분리영역이 결정되고, 이 활성영역과 수직하게 워드라인(word line)과 선택라인을 들이 형성되며, 워드라인의 경우 셀마다 각 1개씩의 틀로팅 게이트를 갖도록 구성된다. 이러한 라인(line)/스페이스(space)의 반복구조의 활성영역을 갖는 소자를 제조할 때, 최 외곽 활성영역 패턴의 외곽에 소자의 동작에 영향을 주지 않는 패턴을 삽입하여 주면 주(main) 활성영역 패턴의 형성을 용이하게 할 수 있다. 이러한 패턴들은 메모리소자의 구현에 사용되는 주(main) 패턴이 아니라, 단지 주 패턴의 형성에만 도움을 주는 더미 패턴(dummy pattern)들이다. 따라서, 이와 같은 더미 패턴들은 올바르게 한정된 주 패턴의 형성에 매우 중요한 역할을 한다.

최근까지 0.15 $\mu$ m 이상의 디자인 룰(design rule)에서는 더미 활성영역 패턴의 폭이 200 $\mu$ m 이상이기 때문에

에 더미 패턴의 쓰러짐 현상이 없었다. 그러나, 반도체 메모리 소자가 고집적화되어 디자인 둘미  $0.12\text{ }\mu\text{m}$  이하로 감소함에 따라, 더미 활성영역 패턴의 폭 또한  $150\text{nm}$  이하가 되어, 사진/현상 공정 후 바로 더미 패턴이 쓰러지거나, 현상 후 포토레지스트 패턴의 쓰러짐이 없이 정확하게 한정되어 더미 패턴이 형성되었다 하더라도, 후속의 슬يش 또는 건식 식각공정을 거치는 동안 더미 활성영역 패턴이 주 활성영역 패턴 보다 식각액(etchant)에 영향을 많이 받게 되어, 결국 더미 패턴이 쓰러지는 현상이 빈번하게 발생한다.

이러한 점을 극복하기 위하여 종래에는 포토레지스트 패턴의 폭을 증가시키거나, 기준에 사용하던 포토레지스트를 보다 얕은 두께로 사용할 수 있는 포토레지스트로 변경하였다. 그러나, 디자인 둘미  $0.12\text{ }\mu\text{m}$  이하로 감소하게 되면 포토레지스트 패턴이 쓰러지지 않을 정도로 폭을 증가시킬 수 없으며, 포토레지스트의 변경 또한 양산 이전에 문제가 되기 때문에 보다 현실적인 대책이 절실히 요구된다.

### 발명의 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는, 포토레지스트 패턴의 폭을 증가시키지 않을 뿐만 아니라, 현 제조공정에 사용되고 있는 포토레지스트를 이용하여 패턴의 쓰러짐을 방지할 수 있는 패턴 형성방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 과제를 이루기 위하여 본 발명에 의한 패턴 형성방법은, 라인(line)/스페이스(space)와 같이 동일하고 반복적인 패턴과, 상기 패턴의 최 외곽에 적어도 하나 이상 형성된 더미 패턴을 갖는 반도체 소자의 패턴 형성방법에 있어서, 상기 더미 패턴과 근접한 위치에, 상기 더미 패턴의 쓰러짐을 방지하기 위한 브리지 패턴을 형성하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 더욱 상세히 설명하기로 한다.

도 1은 본 발명에 의한 더미 패턴의 쓰러짐을 방지하기 위한 패턴 형성방법을 설명하기 위한 레이아웃도이고, 도 2는 도 1의 II-II' 방향의 단면도이다. 여기서, 본 발명의 패턴 형성방법을 보다 용이하게 설명하기 위하여 라인/스페이스 반복구조의 활성영역 패턴을 갖는 NAND형 플래시 메모리 소자를 예로 들어 도시하였다.

NAND형 플래시 메모리 소자는, 반복된 라인/스페이스 구조를 갖는 활성영역(10)에 의해 메모리 셀이 형성될 영역과 소자분리영역(20)이 결정되고, 활성영역(10)과 수직하게 워드라인(W/L)과 스트링 선택라인(string selection line; SSL), 그라운드 선택라인(ground selection line; GSL) 등이 형성된다. 워드라인(W/L)의 경우 셀마다 각 1개씩의 플로팅 게이트(30)를 갖도록 구성되어 있으며, 워드라인(W/L)은 복수개로 이루어진다.

도면 참조번호 '10'과 '30'은 활성영역 패턴(10)과 플로팅 게이트(30)의 형성을 용이하게 하기 위한 더미 패턴들로서, 실제 소자구동에 사용되지 않지만 실제 구동회로 패턴들의 정상적인 형성을 위하여 반드시 필요한 패턴들이다. 이 중, '10'은 최외곽 활성영역 패턴(10)의 구현을 용이하게 하기 위하여 형성되는 더미 활성영역 패턴을 나타내고, '30'은 최외곽 플로팅 게이트(30)의 구현을 용이하게 하기 위하여 삽입되는 더미 플로팅 게이트 패턴을 나타낸다.

특히, 참조번호 '40'은 사진/현상 공정 또는 그 후의 식각공정에서 더미 활성영역 패턴(30)들의 쓰러짐을 방지하기 위하여 삽입된 브리지(bridge)를 나타낸다. 이렇게 더미 패턴을 사이에, 일정 간격을 두고 이들을 연결하는 브리지(40)를 형성하면, 도 2에 도시된 것과 같이 이 브리지가 지지대 역할을 하기 때문에 더미 패턴의 쓰러짐을 방지할 수 있게 된다.

이와 같은 본 발명은  $0.3\text{ }\mu\text{m}$  이하의 디자인 둘을 적용한 반도체 소자의 제조공정 중 라인/스페이스와 같이 동일하고 반복적인 패턴의 형성과정에서 실제 소자 동작에 사용하지 않지만 소자 동작에 사용되는 주 패턴의 형성을 위하여 반드시 필요한 더미 패턴을 한 개 이상 사용하는 소자에 유용하게 사용될 수 있다. 특히, 동일하고 반복적인 활성영역 패턴을 갖는 경우 활성영역 패턴의 가장자리로부터 폭  $0.15\text{ }\mu\text{m}$  이상의 필드영역 패턴과 맞닿아 있을 때 좋은 효과를 나타낸다.

이상 본 발명을 상세히 설명하였으나 본 발명은 상기한 실시예에 한정되지 않으며 본 발명이 속하는 기술적 사상내에서 당분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 물론이다.

### 발명의 효과

상술한 본 발명에 의한 패턴 형성방법에 의하면, 라인/스페이스와 같이 동일하고 반복적인 패턴을 갖는 소자의 제조에 있어서 최 외곽 패턴의 외곽에 형성하여 주는 더미 패턴을 사이에 이들을 연결하는 브리지를 형성함으로써, 사진/현상 공정 또는 그 후의 식각공정에서 더미 패턴의 쓰러짐을 방지할 수 있다. 더욱이, 포토레지스트의 폭을 증가시키지 않고 현 제조공정에 사용되고 있는 포토레지스트를 그대로 이용할 수 있는 이점이 있다.

### (5) 청구의 범위

청구항 1. 라인(line)/스페이스(space)와 같이 동일하고 반복적인 패턴과, 상기 패턴의 최 외곽에 적어도 하나 이상 형성된 더미 패턴을 갖는 반도체 소자의 패턴 형성방법에 있어서,

상기 더미 패턴과 근접한 위치에, 상기 더미 패턴의 쓰러짐을 방지하기 위한 브리지 패턴을 형성하는 것을 특징으로 하는 반복패턴을 갖는 반도체 소자의 패턴 형성방법.

청구항 2. 제 1 항에 있어서,

상기 더미 패턴은 둘 이상이고, 상기 브리지 패턴은 상기 더미 패턴들을 연결하도록 형성된 것을 특징으

로 하는 반복패턴을 갖는 반도체 소자의 패턴 형성방법.

청구항 3. 제 2 항에 있어서,

상기 브리지 패턴은, 일정 간격을 두고 반복적으로 형성된 것을 특징으로 하는 반복패턴을 갖는 반도체 소자의 패턴 형성방법.

청구항 4. 제 1 항에 있어서,

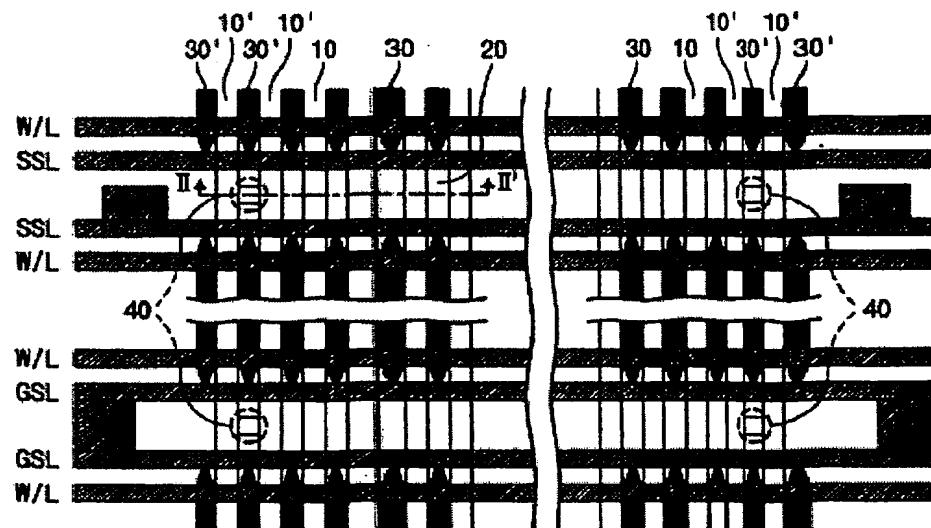
상기 반복패턴은 활성영역 패턴인 것을 특징으로 하는 반복패턴을 갖는 반도체 소자의 패턴 형성방법.

청구항 5. 제 4 항에 있어서,

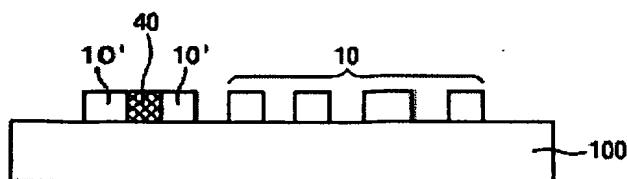
상기 활성영역 패턴은 그 가장자리에 서 쪽  $0.15\text{μm}$  이상의 필드영역 패턴과 맞닿아 있는 것을 특징으로 하는 반복패턴을 갖는 반도체 소자의 패턴 형성방법.

도면

도면 1



도면 2



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**